



KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020000061342 (43) Publication.Date. 20001016

(21) Application No.1019990010303 (22) Application Date. 19990325

(51) IPC Code:

H01L 21/304

(71) Applicant:

SAMSUNG ELECTRONICS CO., LTD.

(72) Inventor:

SONG, JONG GUK

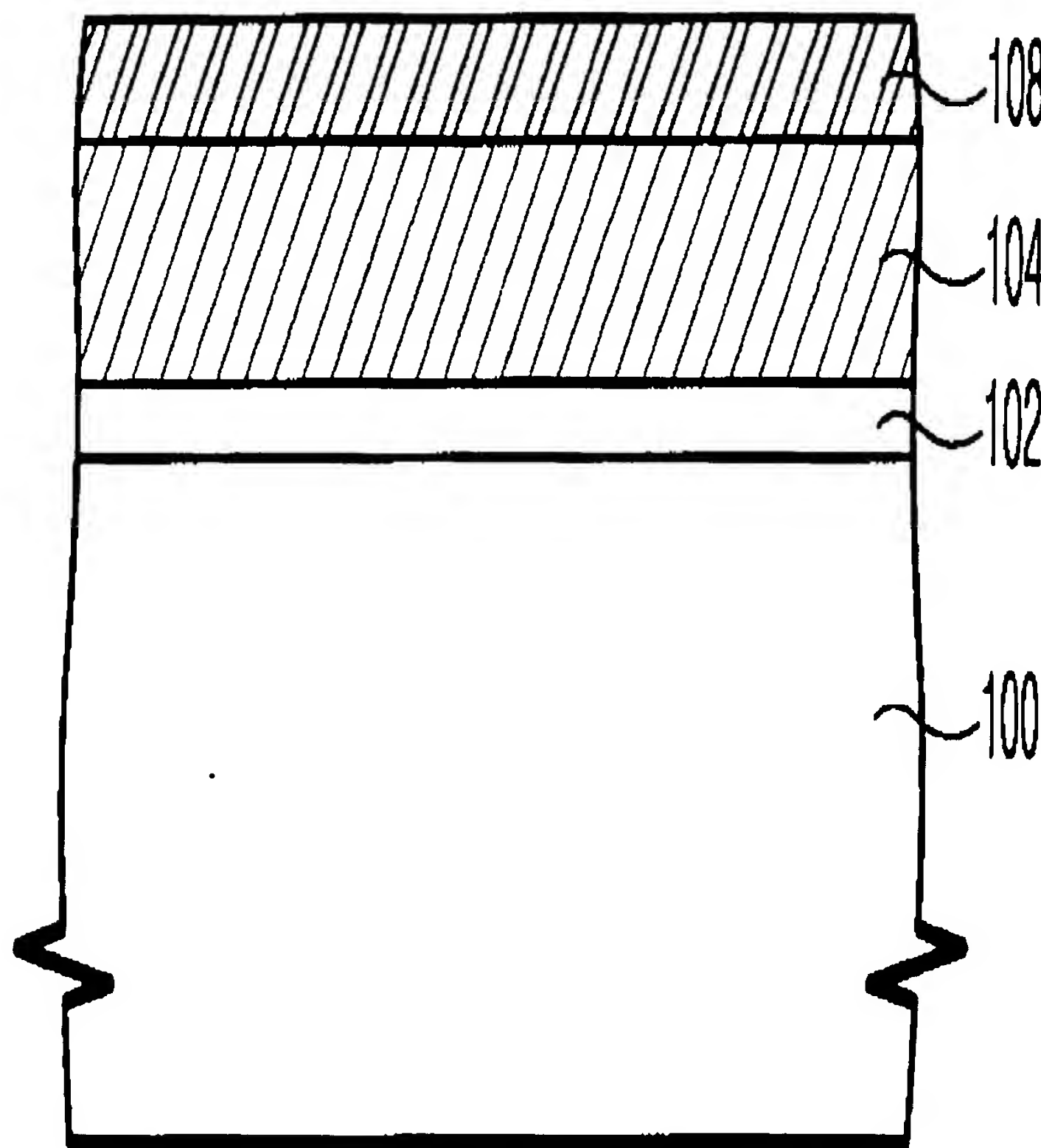
(30) Priority:

(54) Title of Invention

METHOD FOR CLEANING SEMICONDUCTOR DEVICE

Representative drawing

(57) Abstract:



PURPOSE: A method for cleaning a semiconductor device is provided to prevent a high temperature oxidation(HTO) layer from a defect when the HTO layer is formed as an insulating layer after forming a tungsten silicide interconnection.

CONSTITUTION: A method for cleaning a semiconductor device comprises the steps of: preparing a substrate on which a tungsten silicide interconnection is formed; and sequentially performing a cleaning process by using HB, thin HF and standard clean 1(SC1) to eliminate polymer formed along the tungsten silicide interconnection.

COPYRIGHT 2001 KIPO

if display of image is failed, press (F5)

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl. ⁶ H01L 21/304	(11) 공개번호 (43) 공개일자	특2000-0061342 2000년 10월 16일
---	------------------------	--------------------------------

(21) 출원번호	10-1999-0010303
(22) 출원일자	1999년 03월 25일
(71) 출원인	삼성전자 주식회사 윤종용
(72) 발명자	경기도 수원시 팔달구 매탄3동 416 송종국
(74) 대리인	경기도수원시장안구율전동419번지삼성APT204동1702호 임창현

심사청구 : 없음

(54) 반도체 장치의 세정 방법

요약

본 발명의 반도체 장치의 세정 방법은 기판 상에 형성된 텅스텐 실리사이드 배선을 갖는 기판을 준비하고, 상기 텅스텐 실리사이드 배선을 따라 형성된 폴리머를 제거하기 위한 세정 공정을 황산 보일, 묽은 HF 및, SC1 용액으로 순차적으로 수행한다. 이와 같은 방법으로 텅스텐 실리사이드 배선이 형성된 반도체 기판을 세정한 후 기판 상에 HT0 막을 형성하면, HT0 막에 결함이 발생하지 않는다.

대표도

도3a

명세서

도면의 간단한 설명

도 1은 종래의 반도체 장치의 단면을 보여주는 단면도;

도 2는 도 1에 도시된 반도체 장치의 표면을 보여주는 도면; 그리고

도 3은 본 발명의 바람직한 실시예에 따른 반도체 장치의 제조 방법의 공정들을 순차적으로 보여주는 흐름도이다.

도면의 주요 부분에 대한 부호의 설명

10, 100 : 반도체 기판	12, 102 : 절연막
14, 104 : 폴리실리콘	16, 108 : 텅스텐 실리사이드막
110 : 포토 레지스트 패턴	112 : 폴리머
114 : HT0 막	

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치의 세정 방법에 관한 것으로, 좀 더 구체적으로는 HT0 막을 형성한 후 결함 발생을 방지할 수 있는 반도체 장치의 세정 방법에 관한 것이다.

도 1은 종래의 반도체 장치의 단면을 보여주는 단면도이다.

도 1을 참조하면, 반도체 기판(10) 상에 절연막(12)이 형성된다. 상기 절연막(12) 상에 폴리실리콘막(14)이 형성된다. 상기 폴리실리콘막(14) 상에는 배선 형성을 위한 텅스텐 실리사이드막(16)이 형성된다. 다음, 포토 레지스트막을 사용하여 상기 텅스텐 실리사이드막(16)과 폴리실리콘막(14)을 차례로 식각함으로써 텅스텐 실리사이드 배선이 형성된다. 그런데, 식각 공정후 텅스텐 실리사이드 배선을 따라 많은 양의 부산물 또는 폴리머(polymer)가 발생된다. 이러한 부산물 또는 폴리머는 후속 막질 형성전 세정 공정을 통해 제거해야만 한다.

텅스텐 실리사이드 배선을 따라 발생된 부산물 또는 폴리머를 제거하기 위해서 종래에는 황산 보일과 묽은 불산(HF) 용액으로 순차적으로 세정하거나, SC1과 묽은 불산 용액으로 순차적으로 세정하였다.

텅스텐 실리사이드 배선이 형성된 반도체 기판을 상술한 세정 방법으로 세정한 후, 상기 텅스텐 실리사이드 배선을 포함하는 반도체 기판 전면에 HTO(High Temperature Oxidation) 막(18)을 형성하면, 텅스텐 실리사이드 내의 텅스텐이 재결합할 때 오버그로잉(overgrowing)되어 도 2에 도시된 바와 같이 HTO 막에 결함(defect)이 발생된다.

발명이 이루고자하는 기술적 과제

따라서, 본 발명의 목적은 텅스텐 실리사이드 배선 형성후 절연막으로 HTO 막을 형성할 때 HTO 막에 결함이 발생하는 것을 방지할 수 있는 HTO막 형성전 세정 방법을 제공하는 데 있다.

발명의 구성 및 작용

상술한 바와 같은 본 발명의 목적을 달성하기 위한 본 발명의 특징에 의하면, 반도체 장치의 세정 방법은: 기판 상에 형성된 텅스텐 실리사이드 배선을 갖는 기판을 준비한다. 상기 텅스텐 실리사이드 배선을 따라 형성된 폴리머를 제거하기 위한 세정 공정을 황산 보일, 묽은 HF 및, SC1 용액으로 순차적으로 수행한다.

바람직한 실시예에 있어서, 상기 묽은 HF 용액은 초순수와 1:200으로 희석한다.

바람직한 실시예에 있어서, 상기 SC1 용액의 온도는 50 ℃이하이고, 상기 SC1 용액 세정 시간은 5분 이하이다.

이와 같은 방법으로 텅스텐 실리사이드 배선이 형성된 반도체 기판을 세정 한 후 기판 상에 HTO 막을 형성하면, HTO 막에 결함이 발생하지 않는다.

(실시예)

이하 본 발명에 따른 실시예를 첨부된 도면 도 3을 참조하여 상세히 설명한다.

도 3은 본 발명의 바람직한 실시예에 따른 반도체 장치의 제조 방법의 공정들을 순차적으로 보여주는 흐름도이다.

도 3a를 참조하면, 본 발명에 따른 반도체 장치의 제조 방법은 반도체 기판 상에 절연막(102)을 형성한다. 상기 절연막(102) 상에 폴리실리콘막(104)을 형성한다. 상기 폴리실리콘막(104) 상에는 텅스텐 실리사이드막(108)이 형성된다. 상기 텅스텐 실리사이드막(108)은 WF_6 와 SiH_4 의 반응($WF_6 : SiH_4 = 1 : 100$ 이상)에 의해 직접 형성된다.

계속해서, 상기 텅스텐 실리사이드막(108) 상에 포토 레지스트 패턴(110)을 형성한다.

도 3c에서는 상기 포토 레지스트 패턴(110)을 마스크로 사용하여 상기 텅스텐 실리사이드막(108)과 폴리실리콘막(104)을 차례로 건식 식각함으로써 텅스텐 실리사이드 배선이 형성된다. 식각 공정 후 상기 텅스텐 실리사이드 배선을 따라 폴리머들(112)이 발생된다.

도 3d를 참조하면, 상기 반도체 기판을 황산 보일, 묽은 불산, 그리고 SC1(Standard Clean 1) 용액에 순차적으로 세정하여 폴리머들을 제거한다. 상기 황산 보일은 황산(H_2SO_4)과 과산화수소(H_2O_2)를 일정 비율로 혼합한 세정 용액으로, 혼합 비율은 6:1 또는 4:1이다. 상기 황산 보일 용액의 온도는 약 120℃로, 중금속 이온 제거 능력이 탁월하다. 상기 묽은 불산은 초순수와 1:200의 비율로 희석된 용액이다. 상기 SC1 용액은 암모니아수(NH_4OH), 과산화수소(H_2O_2) 그리고, 물(H_2O)을 일정 비율로 혼합한 세정 용액으로, 혼합 비율은 1:4:20 또는 X:1:5 이다. 상기 SC1 용액의 온도는 50 ~ 70℃로, 파티클 및 폴리머 제거 능력이 탁월하다.

상기 SC1 용액은 텅스텐 실리사이드 배선을 식각하는 특징이 있으므로, SC1의 온도는 50℃ 정도의 저온으로 유지시키고, 적용 시간은 5분을 초과하지 않는다.

다음[표 1]은 텅스텐 실리사이드 배선이 형성된 반도체 기판을 세정하지 않았을 때, 황산 보일(HB)과 묽은 불산(HF)으로 순차적으로 세정했을 때 그리고, 황산 보일(HB), 묽은 불산(HF) 및 SC1 용액으로 순차적으로 세정했을 때 텅스텐 실리사이드막 표면의 XPS(Xray photoelectro spectroscopy) 분석 결과를 보여주고 있다.

[표 1]

(단위 : Atomic%)

세정 조건	W	Si	O	C	F
세정하지 않았을 때 (CLN SKIP)	5.0	33.8	58.0	2.9	.
HB + 200:1HF	10.8	23.8	51.5	13.9	.
HB + 200:1HF + SC1	7.2	30.3	54.3	8.2	.

상기[표 1]에 나타난 바와 같이, 종래의 세정 방법인 황산 보일 + 묽은 불산 용액 세정에서는 본 발명의 황산 보일 + 묽은 불산 + SC1 용액 세정에 비해 W와 C의 양이 상대적으로 많으며, Si 및 O의 양은 적

다.

즉, 마지막 세정 공정이 묶은 불산인 경우, 텅스텐 실리사이드 배선 상에 남아 있는 SiO_2 막이 얇으며, W-O 결합이나, 텅스텐-실리사이드 결합 상태의 막은 상대적으로 두꺼워 후속 HTO 막 형성시 W 재결합에 의한 오버그로잉(overgrowing)으로 결함이 발생한다.

도 3f를 참조하면, 상기 황산 보일, 묶은 불산, 그리고 SC1(Standard Clean 1) 용액에 순차적으로 세정된 반도체 기판 전면 HTO 막(114)을 형성한다. 상술한 바와 같은 세정 공정 후 형성된 HTO 막(114)에는 결함이 발생하지 않는다.

도 4는 텅스텐 실리사이드 배선이 형성된 반도체 기판을 세정한 후 나타나는 W 4f 피크를 보여주는 그래프이다. 도 4에 도시된 바와 같이, 종래의 황산 보일 + 묶은 불산 용액을 이용한 세정 공정(b)을 수행한 후의 W 및 W-O 피크보다 본 발명의 황산 보일 + 묶은 불산 + SC1 용액(c)을 이용한 세정 공정을 수행한 후의 W 및 W-O 피크가 낮다. 도면에서 (a)는 세정 공정을 수행하지 않았을 때를 보여주고 있다.

도 5는 텅스텐 실리사이드 배선이 형성된 반도체 기판을 세정한 후 나타나는 Si 2p 피크를 보여주는 그래프이다. 도 5에 도시된 바와 같이, 종래의 세정 공(b)정을 수행한 후의 SiO_2 피크보다 본 발명의 세정 공정(c)을 수행한 후의 SiO_2 피크가 높다.

예시적인 바람직한 실시예들을 이용하여 본 발명을 설명하였지만, 본 발명의 범위는 개시된 실시예들에 한정되지 않는다는 것이 잘 이해될 것이다. 오히려, 본 발명의 범위에는 다양한 변형 예들 및 그 유사한 구성들을 모두 포함될 수 있도록 하려는 것이다. 따라서, 청구 범위는 그러한 변형 예들 및 그 유사한 구성들을 모두를 포함하는 것으로 가능한 폭넓게 해석되어야 한다.

발명의 효과

이상과 같은 본 발명에 의하면, 텅스텐 실리사이드 배선이 형성된 반도체 기판 상에 HTO 막을 형성하면, HTO 막에 결함이 발생하지 않는다.

(57) 청구의 범위

청구항 1

기판 상에 형성된 텅스텐 실리사이드 배선을 갖는 기판을 준비하는 단계 및;

상기 텅스텐 실리사이드 배선을 따라 형성된 폴리머를 제거하기 위한 세정 공정을 황산 보일, 묶은 HF 및, SC1 용액으로 순차적으로 수행하는 단계를 포함하여;

상기 세정된 반도체 기판 상에 HTO 막을 형성한 후 HTO 막에 결함이 발생하는 것을 방지하는 반도체 장치의 세정 방법.

청구항 2

제 1 항에 있어서,

상기 묶은 HF 용액은 초순수와 1:200으로 희석하는 반도체 장치의 세정 방법.

청구항 3

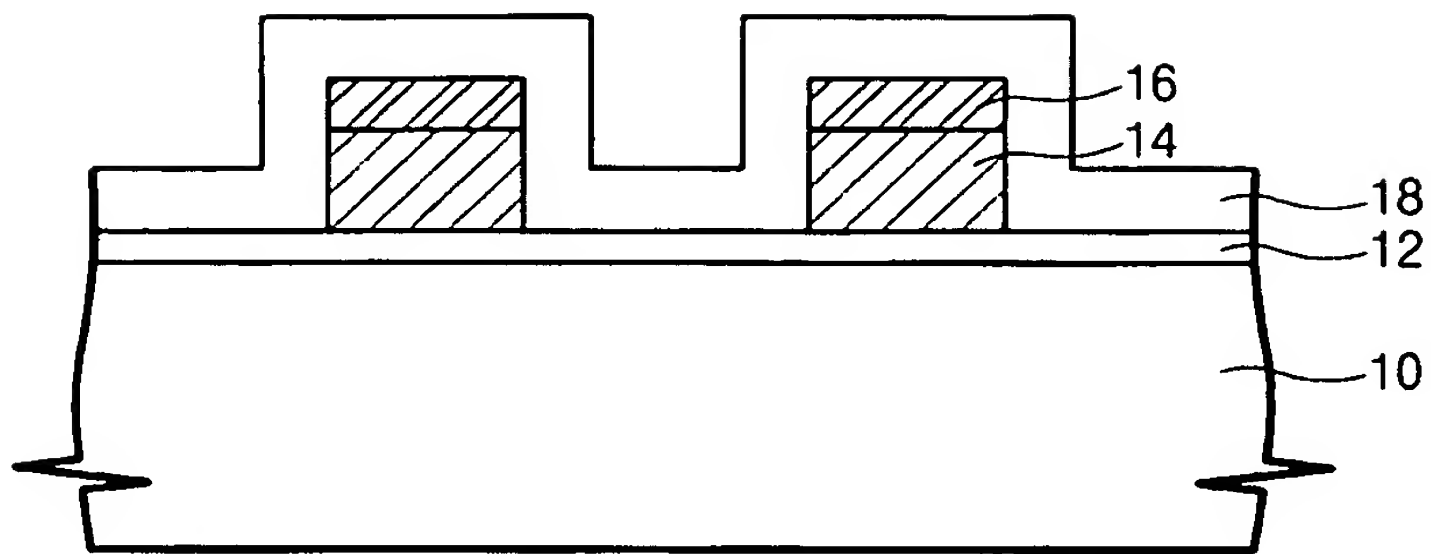
제 1 항에 있어서,

상기 SC1 용액의 온도는 50 °C 이하이고, 상기 SC1 용액 세정 시간은 5분 이하인 반도체 장치의 세정 방법.

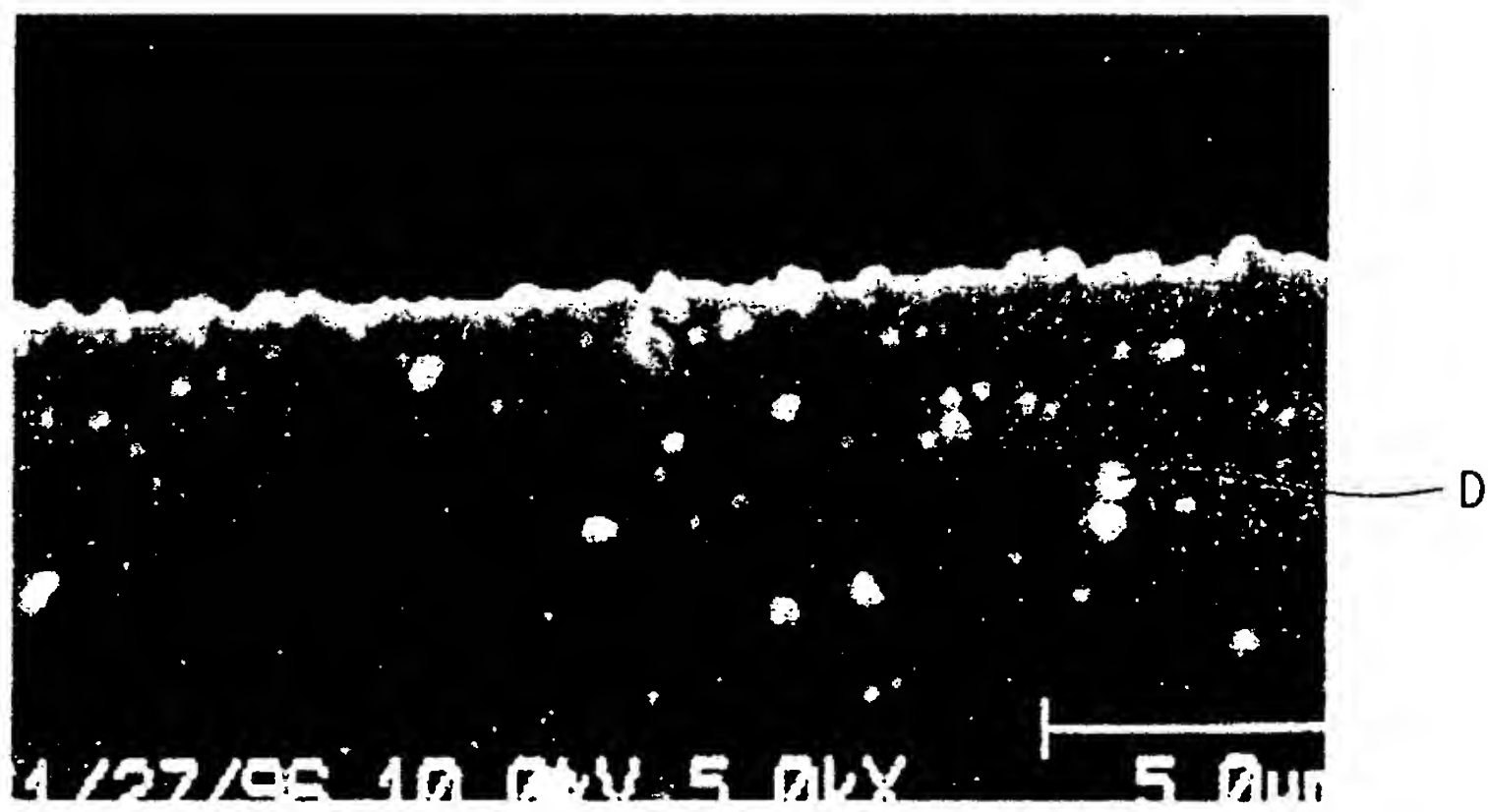
도면

도면1

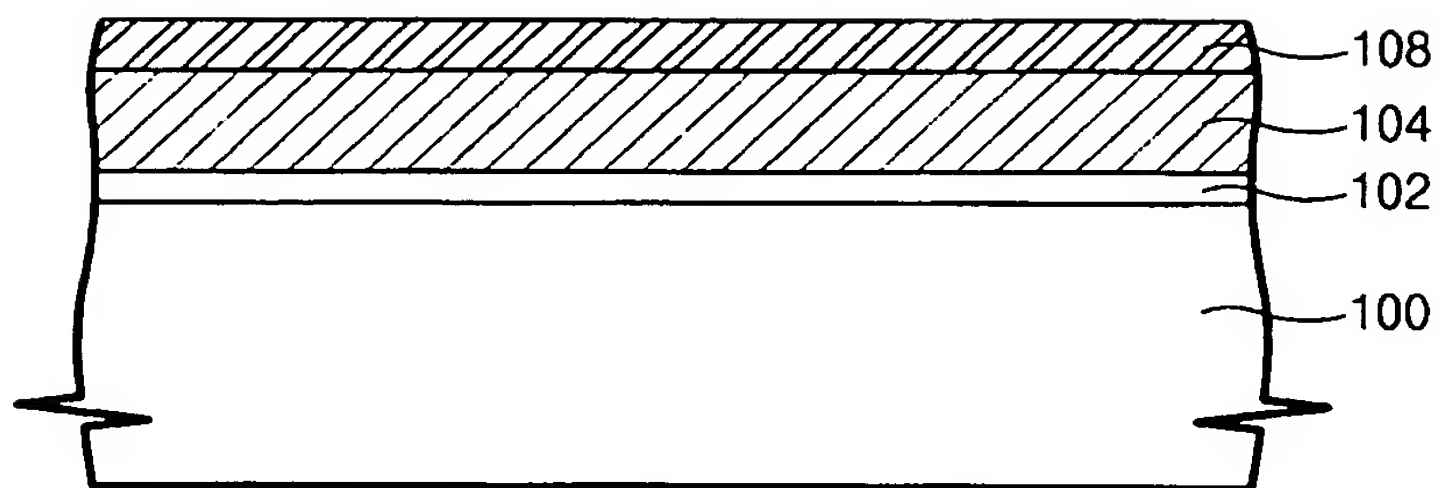
(종래 기술)



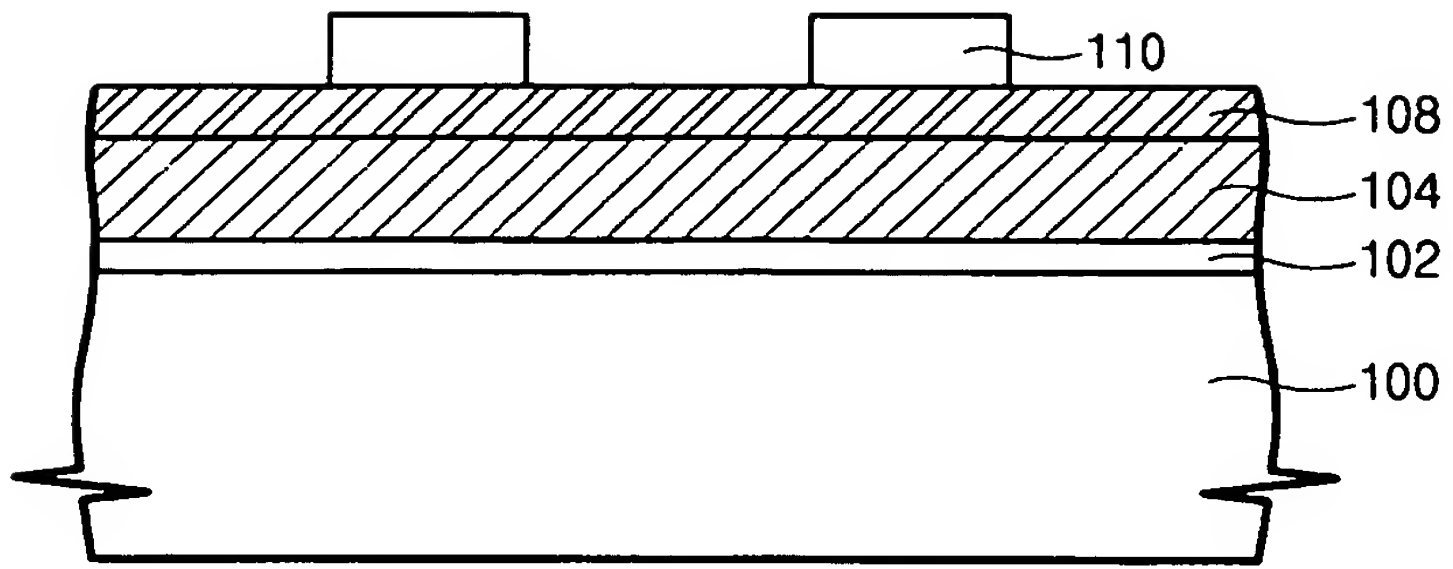
도면2



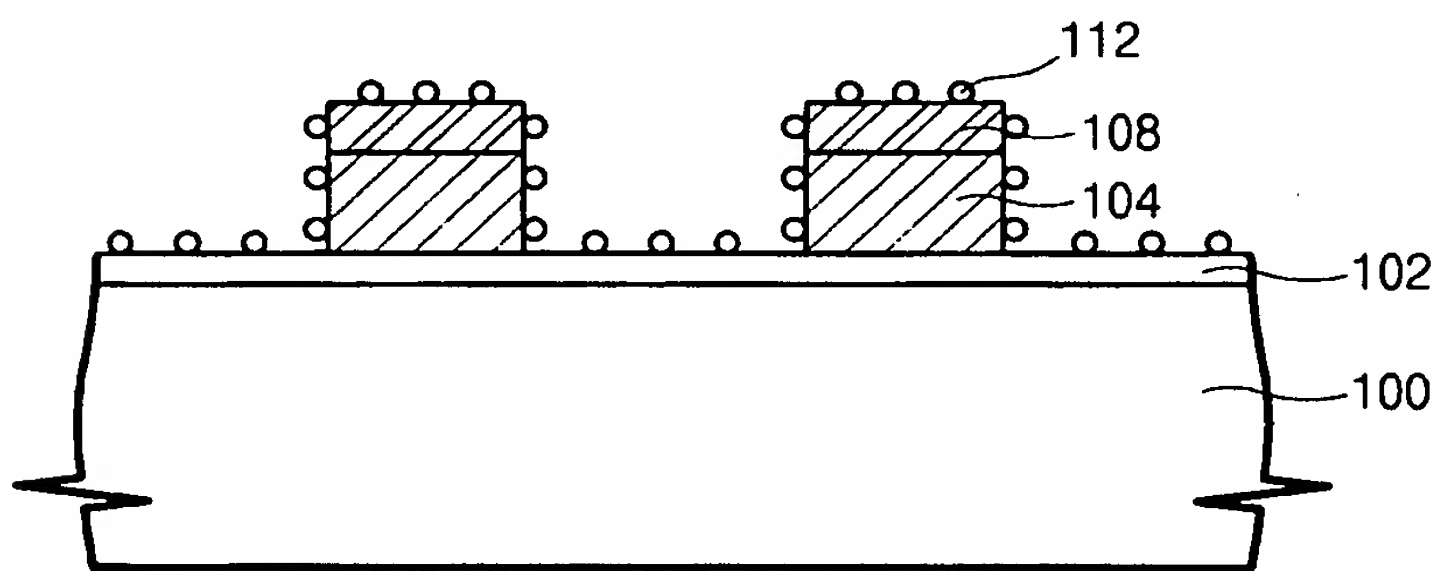
도면3a



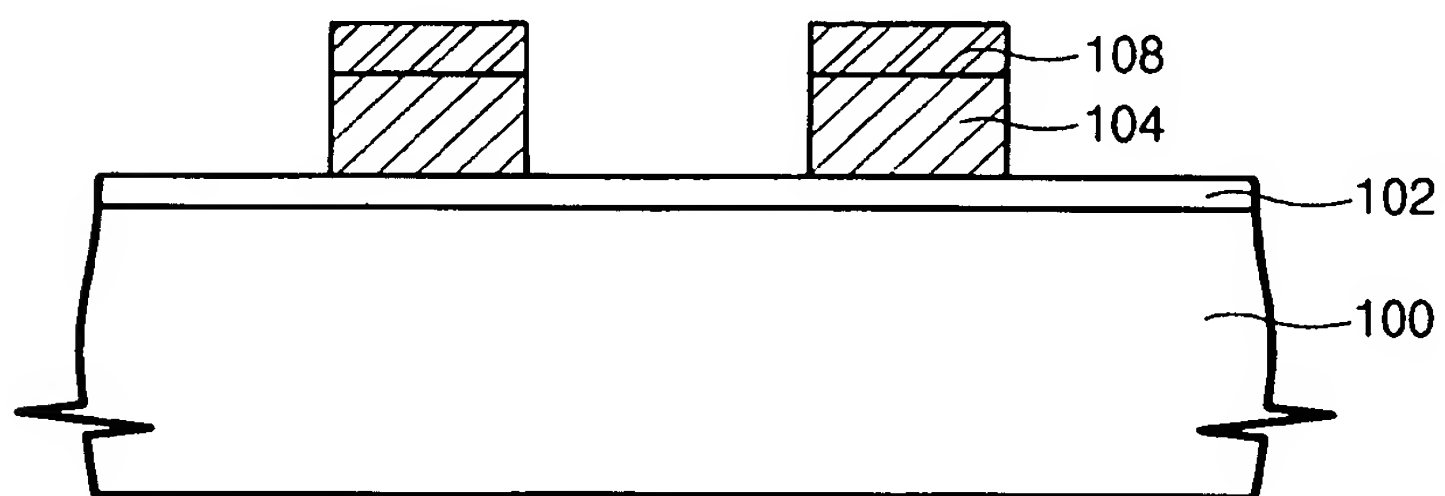
도면3b



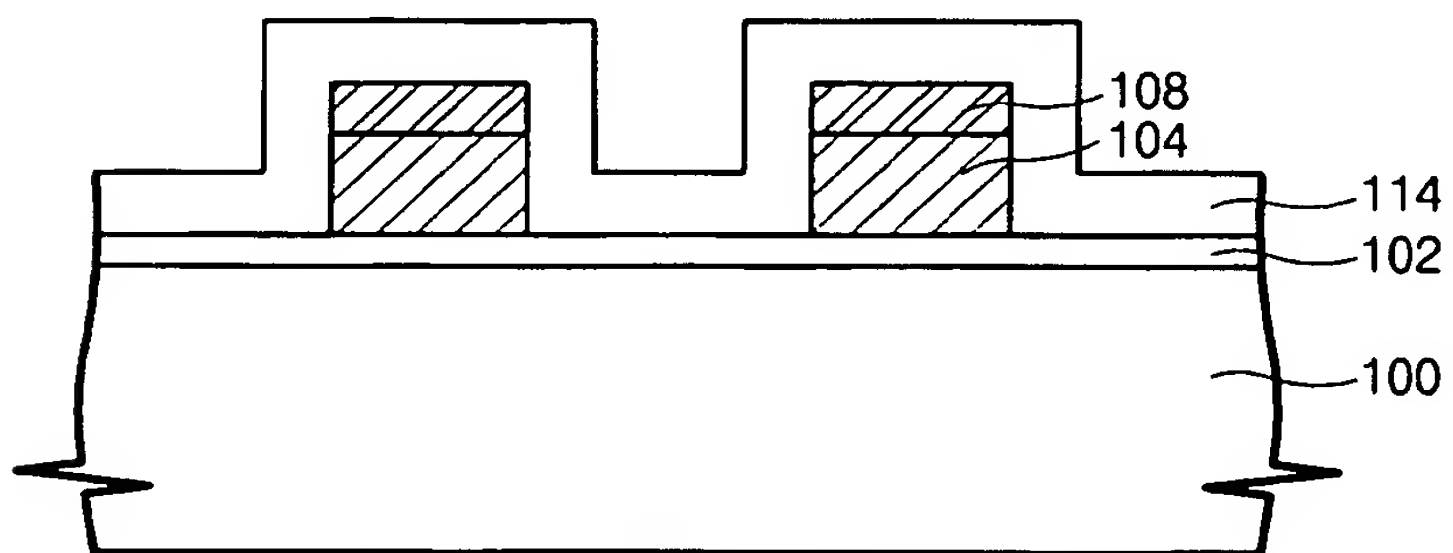
도면3c



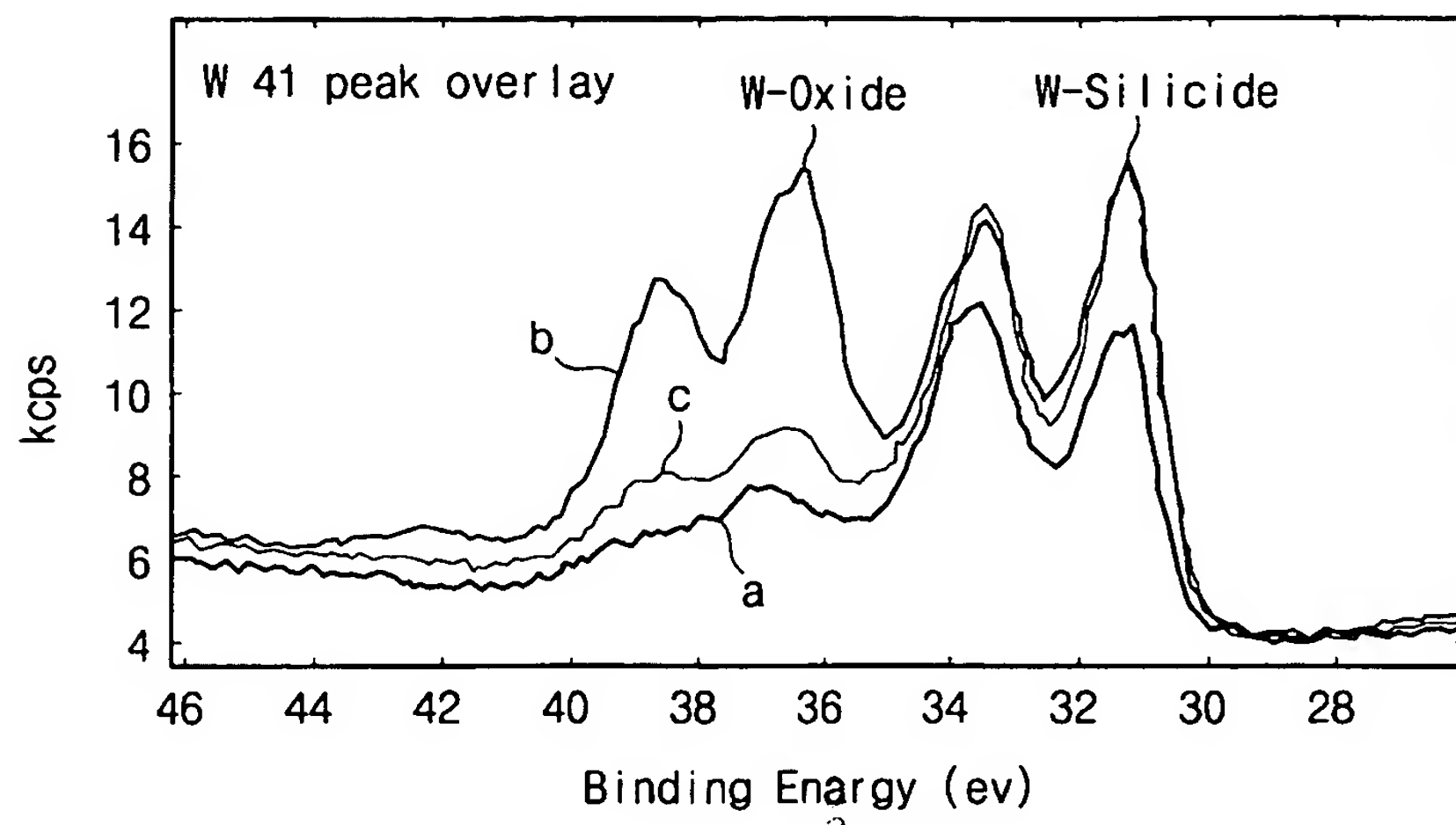
도면3d



도면3e



도면4



도면5

